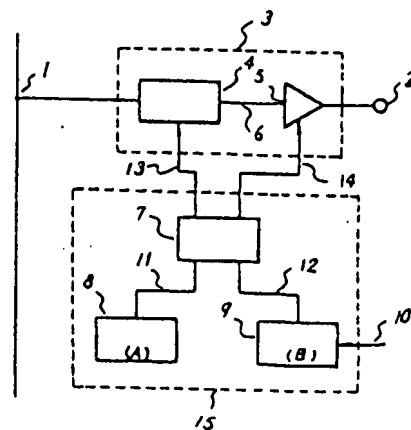


(54) INFORMATION PROCESSING DEVICE

(11) 58-155457 (A) (43) 16.9.1983 (19) JP
(21) Appl. No. 57-37364 (22) 10.3.1982
(71) NIPPON DENKI K.K.(1) (72) TAKATOSHI KOGA(1)
(51) Int. Cl. G06F9/30

PURPOSE: To shorten a processing time, and to execute optimum processing, by decoding each of at least two instructions whose work length is different from each other, and generating a control signal having the same function substantially.

CONSTITUTION: A two word instruction for outputting a data to an output port 3 is decoded by an instruction decoder 8, and a decoding signal 11 is sent to a port controlling circuit 7. As a result, control signals 13, 14 are generated from the circuit 7. On the other hand, as for an one word instruction, an instruction decoder 9 is selected, this one word instruction is decoded by the decoder 9, and a signal 12 which is same as the signal 11 is generated. Accordingly, for instance, when an output instruction of one word is executed, the decoding signal 12 from the decoder 9 is sent to the circuit 7, and from the circuit 7, the control signals 13, 14 which make the output port 3 active are generated. In this way, when the decoder 9 is made active or non-active by a signal 10, it becomes possible to process two kinds of output instructions whose word length is different from each other, in an optimum time, and the processing is executed very efficiently.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—155457

⑪ Int. Cl.³
G 06 F 9/30

識別記号

庁内整理番号
7218—5B

⑬ 公開 昭和58年(1983)9月16日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 情報処理装置

本電気アイシーマイコンシステム株式会社内

⑯ 特 願 昭57—37364

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭57(1982)3月10日

東京都港区芝5丁目33番1号

⑲ 発 明 者 古賀隆俊

⑰ 出 願 人 日本電気アイシーマイコンシステム株式会社

東京都港区芝五丁目33番1号日
本電気株式会社内

東京都港区芝五丁目7番15号

⑲ 発 明 者 上泉真裕

⑳ 代 理 人 弁理士 内原晋

東京都港区芝五丁目7番15号日

明 細 書

1. 発明の名称

情報処理装置

2. 特許請求の範囲

互いに語長の異なる少なくとも2個の命令に対して夫々を解説することによって実質的に同様の機能を有する制御信号を発生する制御回路を設けたことを特徴とする情報処理装置。

3. 発明の詳細な説明

本発明は命令を解説してその結果に応じて情報を処理する情報処理装置に関する。情報処理装置を制御する命令のビット数は一般に固定されている。例えば1命令当り4ビットでコード化されていれば、16種類の命令をメモリにセットすることができる。しかしながら、複雑な処理を実行させるためには命令の種類を増さなければならない。従って、4ビットコードを複数個使用して一つの

命令とすることが行なわれている。例えば2語命令や3語命令等がそれである。この結果、限られたビット数で命令の種類を増すことは可能となったが、反面命令実行時間が長くなるという欠点が生じた。何故ならば例えば2語命令を実行するには少なくとも2回メモリをアクセスしなければならないため、最低2マシンスサイクルの時間を要し、それだけ処理時間が長くなるからである。しかし従来では処理時間よりも処理能力を向上させることに努力をはらっていたため、処理時間の増加はやむを得ないことであった。

又、1つの処理を実行させるための命令としては単に1種類だけしか用意されていなかった。これはメモリ容量の有効利用という観点からすれば当分の設計事項といえる。

一方、かかる情報処理装置の実際の処理を詳しく分析してみると、1命令の中に含まれる全ての情報を用いなくともその一部を用いれば実行できるようなものもある。即ち、あえて2語命令を用いなくとも1語命令で実行できる処理もある。例

えば出力命令がそれである。この命令はポート（出力部）からデータを出力する処理を制御する命令であるが、ポートを制御して出力動作を実行させるための第1命令部とポートを選択するためのアドレス情報をもたらす第2命令部とからの2語命令としてメモリにセットされている場合がある。

かかる命令はポートの選択機能をもっているため処理に応じて、複数の周辺機器を任意に制御でき有効な命令ではあるが、データを出力すべきポートが予め特定されている場合にはポートの選択を行なう必要がなく、ポートの出力制御だけで十分である。すなわち1マシンサイクルあれば十分である。しかし、命令そのものが2語命令であるため、当然2マシンサイクルが費されなければならなかった。これは2語命令を読み出さない限りは、出力処理が実行できないようにハードウェアが設計されているためであった。

具体的には通常動作時に於いてはポートを選択してそこからデータを出力する2語命令を必要とするマイクロコンピュータにおいてその動作テス

トを実行する時がそうである。即ち、テスト結果を出力するポートは予め決まっているが、2語命令であるが故に命令の読み出しに時間がかかり、結果としてテスト時間が長くなり、かつテストをするための装置のハードウェア、例えばテストパターンを記憶するメモリの容量等をより多く必要とする事になり効率が悪く不利である。

本発明の目的は処理能力を低下させることなく処理時間を短縮し、各種の処理に最適の形で通用可能な情報処理装置を提供することにある。

本発明の情報処理装置は互いに組長の異なる少なくとも2種類の命令を解釈して実質的に同様の処理を実行させるための制御信号を発生する制御回路を有することを特徴とする。

本発明によれば例えば2語命令と1語命令との少なくとも2つの命令に対して同様の処理を実行させるような制御信号を発生することができるので、処理内容に応じていづれか一方を選択してやることによって処理能力を低下させることなく、最適な時間で処理することができる。

例えば、命令コード上に空きコードがあればそれを用いてテスト時に使用する1語命令として割り当てて実行させると、テスト時にテスト結果を出力するように決められている特定のポートに対して1語の出力命令として使用することができ、1マシンサイクルでテスト結果を出力することができる。一方、2語命令からなる出力命令に対しては、少なくとも2マシンサイクル以上の要求されるサイクルを用いてポート選択および出力制御を実行することができ、処理能力を低下させることはない。尚、前記のように空きコードが無い場合には、そのシステムが有するある特定命令に対してこれをテスト時に使用する1語の出力命令として切換えて用いるようにすればよい。

次に本発明の一実施例を図面を用いて説明する。

第1図に於いて、データバス1は、出力ラッチ4とドライバ5とからなり外部端子2に接続されている出力ポート3に結合されている。命令デコード部15は、第1の命令デコード8と第2の命令デコード9とを有し、夫々のデコード信号11、

12、は出力ポート3の出力動作を制御する信号を発生させるためのポート制御回路7に供給される。~~データバス1から~~13は命令デコード部15から出力ラッチ4に送られデータバス1上のデータを取り込むためのラッチ制御信号、14は命令デコード部15からドライバ5に送られ、これを活性化するための制御信号である。10は第2の命令デコードを駆動するための制御信号であり、処理の内容に応じて例えば外部のスイッチから入力されたり、あるいは処理内容を判断して内部で作出されるようになされている。

この実施例の動作は次のようになる。

出力ポート3からデータを出力する場合、ポート制御回路7はデコード出力を受けると、出力ラッチ4を能動とするための信号13と、ドライバ5を能動とするための信号14とを発生する。これらの信号13と14とが発生されると、データバス1上のデータが出力ラッチ4に読み込まれ、この出力6がドライバ5に入力され、データは外部端子2に出力される。ここで、出力ポート3に

データを入力するための2番命令は命令デコーダ8で解説されポート制御回路7にデコード信号、11を送る。この結果、ポート制御回路7から制御信号13、14が発生される。一方、一組命令に対しては命令デコーダ9が選択され(信号10に回答して)、この一組命令が命令デコーダ10で解説され、信号11と同様の信号12が発生される。従って、例えば1番の出力命令を実行させると、命令デコーダ9からのデコード信号12が制御回路7に送られ、制御回路7からポート3を能動とする様な制御信号13、14が発生される。これはただか1マシンサイクルあれば十分で、例えばテスト結果を出力するような時に用いられ出力すべきポート3が既に決定されているような場合である。

また、テスト以外の時には信号10が発生されないで、命令デコーダ9は非能動となり、1番の出力命令を実行しようとしても無効となる。但し、この時命令デコーダ8は有効でありポート選択情報を要する2番出力命令が例えば2マシンサ

イクルでもって実行される。

以上の様に信号10により命令デコーダ9を能動あるいは非能動となる様に制御する事に依り、システムに影響を与える事無く語長の異なる少なくとも2種類の出力命令に対して最適な時間で処理することが可能となり極めて効率的である。

また、かかる一組命令を割り当てられる空きコードが無い様な場合には、第1図において、別の命令例えば2番出力命令のうちの出力制御を行なう命令部分(ポート選択情報を読み出すことなく)を命令デコーダ9へ入力するように信号10で切換える制御回路を付加する事に依り、同様の効果を得ることができる。

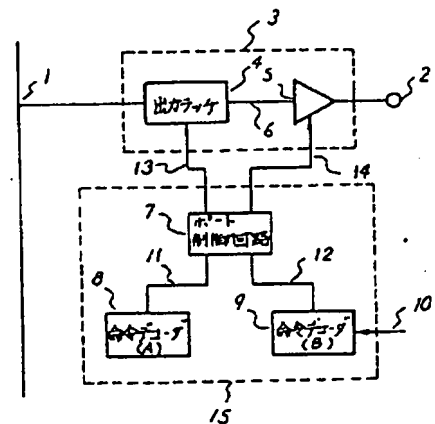
尚、本発明は語長の異なる少なくとも2種類の命令に対して、夫々を解説することによって同様の機能をもった制御信号を発生させるようにして処理時間の短縮化を計ったものであり、実施例の出力命令以外の命令に対して有効であり、かつテスト処理以外の正常のプログラム処理においても同様に適用できる。

4. 図面の簡単な説明

第1図は本発明の一実施例によるマイクロコンピュータの従部ブロック図である。

1……データバス、2……外部端子、3……出力ポート、4……出力ラッチ、5……バッファ、7……ポート制御回路、8……第1の命令デコーダ、9……第2の命令デコーダ、10……制御信号、15……命令デコーダ部

代理人 弁理士 内 原 晋



第1図